

1-9
Patent

Attorney's Docket No. 032865-012

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Shoichi KAMANO et al.) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: August 22, 2001)
For: DATA PROCESSING SYSTEM)
)
)
)
)
)
)



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2000-259816

Filed: August 29, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: Aug. 22, 2001

By: William C. Rowland
William C. Rowland
Registration No. 30,888

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月29日

出 願 番 号

Application Number:

特願2000-259816

出 願 人

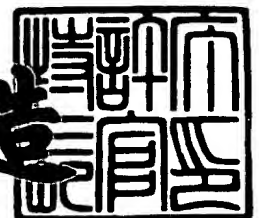
Applicant(s):

パシフィック・デザイン株式会社

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3065265

【書類名】 特許願

【整理番号】 000191P118

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都新宿区西新宿 6 丁目 1 2 番 1 号 パシフィック・
 デザイン株式会社内

 【氏名】 鎌野 昇一

【発明者】

 【住所又は居所】 東京都新宿区西新宿 6 丁目 1 2 番 1 号 パシフィック・
 デザイン株式会社内

 【氏名】 杉浦 義英

【特許出願人】

 【識別番号】 598149242

 【氏名又は名称】 パシフィック・デザイン株式会社

【代理人】

 【識別番号】 100102934

 【弁理士】

 【氏名又は名称】 今井 彰

【手数料の表示】

 【予納台帳番号】 050728

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 専用命令により予め設定された一連のデータ処理を実行可能な少なくとも 1 つの専用データ処理ユニットと、汎用命令により指定された処理を順次実行可能な汎用データ処理ユニットとを有し、

前記専用データ処理ユニットは、特定のデータ処理に特化した専用回路部と、この専用回路部を所定の処理手順に従って制御するために前記専用回路部へ制御信号を供給するシーケンス制御部とを備えており、

前記汎用データ処理ユニットは、前記シーケンス制御部に予め設定された処理手順と異なる手順で前記専用回路部を制御可能であるデータ処理装置。

【請求項 2】 請求項 1 において、前記汎用データ処理ユニットは、前記専用回路部に対し前記シーケンス制御部の制御信号に代わる制御信号を供給可能であり、

前記専用データ処理ユニットは、前記シーケンス制御部に制御された制御信号、および前記汎用データ処理ユニットにより制御された制御信号のいずれかを選択して前記専用回路部に供給する選択手段を備えているデータ処理装置。

【請求項 3】 請求項 1 において、前記汎用データ処理ユニットは、前記シーケンス制御部に設定された処理手順を変更可能であるデータ処理装置。

【請求項 4】 請求項 1 において、前記専用命令および前記汎用命令とを有するプログラムを記録した記録手段から、前記専用命令または前記汎用命令をフェッチし、前記専用命令を前記専用データ処理ユニットに供給するフェッチユニットを有するデータ処理装置。

【請求項 5】 請求項 4 において、前記汎用処理ユニットは、前記シーケンス制御部の制御信号に代わる制御信号を前記汎用命令に基づき前記専用回路部に対し供給可能であり、

前記専用データ処理ユニットは、前記シーケンス制御部により制御された制御信号、および前記汎用データ処理ユニットにより制御された制御信号のいずれかを選択して前記専用回路部に供給する選択手段を備えているデータ処理装置。

【請求項 6】 請求項 5 において、前記選択手段は前記汎用データ処理ユニットにより制御されるデータ処理装置。

【請求項 7】 請求項 4 において、前記汎用データ処理ユニットは、前記汎用命令により、前記シーケンス制御部に設定された処理手順を変更するデータ処理装置。

【請求項 8】 専用命令により予め設定された一連のデータ処理を実行可能な少なくとも 1 つの専用データ処理ユニットと、汎用命令により指定された処理を順次実行可能な汎用データ処理ユニットとを有し、前記専用データ処理ユニットは、特定のデータ処理に特化した専用回路部と、この専用回路部を所定の処理手順に従って制御するために前記専用回路部へ制御信号を供給するシーケンス制御部とを備えているデータ処理装置の制御方法であって、

前記専用命令により、前記シーケンス制御部に予め設定された処理手順にしたがって一連の制御信号を前記専用回路部に供給し、前記専用回路部を制御する第 1 の工程と、

前記汎用命令により、前記シーケンス制御部に予め設定された処理手順と異なる手順で前記専用回路部を制御する第 2 の工程とを有するデータ処理装置の制御方法。

【請求項 9】 請求項 8 において、前記第 2 の工程では、前記シーケンス制御部の制御信号に代わる制御信号を前記汎用命令に基づき前記専用回路部に供給するデータ処理装置の制御方法。

【請求項 10】 請求項 8 において、前記第 2 の工程では、前記シーケンス制御部に予め設定された処理手順を変更するデータ処理装置の制御方法。

【請求項 11】 特定のデータ処理に特化した専用回路部、およびこの専用回路部を所定の処理手順に従って制御するために前記専用回路部へ制御信号を供給するシーケンス制御部とを備えている専用データ処理ユニットに対する専用命令と、汎用データ処理ユニットに対する汎用命令とを有するデータ処理装置の制御プログラム製品であって、

前記専用命令は、前記シーケンス制御部に予め設定された処理手順にしたがって制御信号を供給し前記専用回路部を制御する命令であり、さらに、

前記汎用命令として、前記シーケンス制御部に予め設定された処理手順と異なる手順で前記専用回路部を制御する優先命令を備えているデータ処理装置の制御プログラム製品。

【請求項 1 2】 請求項 1 1 において、前記優先命令は、前記シーケンス制御部の制御信号に代わる制御信号に変換されて前記専用回路部に供給される命令であるデータ処理装置の制御プログラム製品。

【請求項 1 3】 請求項 1 1 において、前記優先命令は、前記シーケンス制御部に予め設定された処理手順を変更する命令であるデータ処理装置の制御プログラム製品。

【請求項 1 4】 請求項 1 1 ないし 1 3 のいずれかのデータ処理装置の制御プログラム製品が記録されていることを特徴とするコンピュータ読取可能な記録媒体。

【請求項 1 5】 請求項 1 1 ないし 1 3 のいずれかのデータ処理装置の制御プログラム製品が埋め込まれていることを特徴とするコンピュータ間の通信により伝送される伝送媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、専用回路を備えたデータ処理装置に関するものである。

【0 0 0 2】

【従来の技術】

ネットワークの高速・大容量化と画像処理、特にデータ圧縮・伸長処理などのアプリケーションを実行する際に処理装置に対する要求に代表されるようなリアルタイムな操作あるいは処理を要求するアプリケーションの多様化は止まる所を知らないといっても過言ではない。このため、高速化するパソコン・ゲーム機などに使用されるプロセッサは極め高いクロック周波数で動作するようになっており、複数のアプリケーションを高速で処理する能力を持つに至っている。しかしながら、これらのプロセッサは、汎用的な特徴をもつがゆえに、リアルタイムな処理が要求されるものについてすべて対応できるとは限らない。これに対し、ハ

ードワイヤードロジックなどにより特定の処理に特化した専用回路は、リアルタイム応答を要求される処理は、その様にデザインすることが可能である。したがって、リアルタイム応答への要求が高いアプリケーションの分野では、データ処理が1クロックでも遅れたら使い物にならなくなるので、専用化してでも応答性を確保する必要がある。

【 0 0 0 3 】

【発明が解決しようとする課題】

したがって、通信・ネットワークや画像処理においては、このような専用化された回路を用いて制御装置を構成する要求が顕著である。しかしながら、この種のアプリケーションの世界では、業界標準仕様が重要であり、この標準対応でなければマーケットに参入できない。このため、各社とも仕様の決定に影響力を及ぼそうとし、かつ、仕様が決定されたらいち早くそのシステムを商品化して市場に投入することがシェアの確保に繋がる。したがって、設計、特にシステムL S Iの設計期間を短縮すると共に、その後の仕様変更に対する柔軟性が要求される。専用回路は、設計および検証に係る期間が長く、また、仕様変更に対する柔軟性はほとんどない。したがって、性能的には専用回路が要望されるものの、システムL S Iが設計および開発される環境を考慮すると専用回路で対応することが難しい。かといって、上述したように、汎用プロセッサでは、リアルタイム応答性が不十分なことが多い。

【 0 0 0 4 】

このような背景にあって、プロセッサではあるが、アプリケーションに特化した命令を組み込める設計方式が提案されている。例えば、特願平11-307684号に開示されている技術がある。ここでは、汎用プロセッサと同様あるいは小さな規模で汎用処理が可能な汎用データ処理ユニット(P U)と、特定のデータ処理に特化した専用データ処理ユニット(V U)とを有するデータ処理装置を提供している。このデータ処理装置では、V Uを稼動する専用命令を汎用命令と共にデータ処理装置のプログラムに命令セットとして取り込み、リアルタイム応答が要求される処理についてはV Uをコールする構成が可能であり、仕様変更などに対してはプログラムレベルあるいはP Uの処理によって対応できるという特

徴を備えている。

【0005】

さらに、プログラムをフェッチするフェッチユニット（FU）およびデコーダと、基本的な命令セットを備えたPUなどからなる基本的なアーキテクチャを用意し、それによって稼動されるVUをアプリケーション毎に換えることができる。したがって、設計および開発に費やされる期間も短縮することが可能であり、実績のある専用回路をVUとして取り込むこともできる。このため、リアルタイム性が要求されるアプリケーションに対応するシステムを短期間で開発することが可能であり、さらに、その後の設計変更などにも柔軟に対応することができる。

【0006】

このように、汎用データ処理ユニット（PU）と、専用データ処理ユニット（VU）を採用したアーキテクチャは、リアルタイムな応答性を要求されるアプリケーションに適したシステムを短期間に開発でき、プログラムレベルでその後の変更にも柔軟に対応できるものである。しかしながら、仕様変更の範囲がVUに及んだ場合、すなわち、専用命令によって実行する処理内容に及んだ場合は、プログラムレベルでは対応できないので、VUを再設計する必要がある。

【0007】

従来、データパス処理を主体とするVUの仕様は初期段階で決定されることが通常であるが、VUの構成に影響を及ぼすような仕様変更が何らかの要因で発生する可能性は常にある。そして、そのような仕様変更が発生したときに、仕様変更に対処できないことによりシステムLSIの性能がユーザが満足できるものにならなかったり、システムLSIを用いたアプリケーションの機能が制限されてしまう可能性がある。

【0008】

そこで、本発明においては、VUの仕様にまで影響を与えるような変更に対しても柔軟に対応することができるデータ処理装置を提供することを目的としている。そして、開発のあらゆる段階の仕様変更にも柔軟に対処することが可能であり、VUの機能を最大限に活かすことができるデータ処理装置、その制御方法お

よび制御プログラムを提供することを目的している。

【 0 0 0 9 】

【課題を解決するための手段】

このため、本発明においては、PUにより、VUの専用回路をVUで予め設定された所定の処理手順と異なる処理手順で制御できるようにしている。すなわち、本発明のデータ処理装置は、専用命令（V命令）により予め設定された一連のデータ処理を実行可能な少なくとも1つの専用データ処理ユニット（VU）と、汎用命令（P命令）により指定された処理を順次実行可能な汎用データ処理ユニット（PU）とを有し、専用データ処理ユニットは、特定のデータ処理に特化した専用回路部と、この専用回路部を所定の処理手順に従って制御するために専用回路部へ制御信号を供給するシーケンス制御部とを備えており、汎用データ処理ユニットにより、シーケンス制御部に予め設定された処理手順と異なる手順で専用回路部を制御できるようにしている。

【 0 0 1 0 】

本発明のデータ処理装置においては、汎用データ処理ユニットにより専用データ処理ユニットの専用回路部を本来の処理手順と異なる処理手順で動作させることができる。すなわち、専用命令により予め設定された一連のデータ処理を実行可能な少なくとも1つの専用データ処理ユニットと、汎用命令により指定された処理を順次実行可能な汎用データ処理ユニットとを有し、専用データ処理ユニットは、特定のデータ処理に特化した専用回路部と、この専用回路部を所定の処理手順に従って制御するために専用回路部へ制御信号を供給するシーケンス制御部とを備えているデータ処理装置の制御方法において、専用命令により、シーケンス制御部に予め設定された処理手順にしたがって制御信号を供給し専用回路部を制御する第1の工程に加え、汎用命令により、シーケンス制御部に予め設定された処理手順と異なる手順で専用回路部を制御する第2の工程を設けることができる。

【 0 0 1 1 】

したがって、専用命令に対して処理手順が固定化されていた専用データ処理ユニットの専用回路部の動作を、プログラムレベルで制御あるいは変更することが

できる。このため、開発、設計あるいは製造後に発生した仕様変更に対しても極めて柔軟に対処することができる。したがって、本発明のデータ処理装置においては、同一の制御対象、すなわち専用回路部を、ハードウェア的に高速に処理制御することができると共に、プログラムを介してソフトウェア的に柔軟に制御することも可能となる。

【 0 0 1 2 】

すなわち、特定のデータ処理に特化した専用回路部、およびこの専用回路部を所定の処理手順に従って制御するために専用回路部へ制御信号を供給するシーケンス制御部とを備えている専用データ処理ユニットに対する専用命令と、汎用データ処理ユニットに対する汎用命令とを有するデータ処理装置の制御プログラム製品においては、シーケンス制御部に予め設定された処理手順にしたがって制御信号を供給し専用回路部を制御する専用命令に加え、汎用命令として、シーケンス制御部に予め設定された処理手順と異なる手順で専用回路部を制御する優先命令を設けることができ、汎用命令により専用回路部の処理手順を制御することができる。このような制御プログラムは、コンピュータ、すなわち、データ制御装置（プロセッサ）に読取可能なROMなどの記録媒体に記録して提供することが可能であり、また、ROMあるいはRAMに記録してデータ制御装置を稼動することができる。また、本発明の制御プログラム製品をインターネットなどのコンピュータ間の通信により伝送される伝送媒体に埋め込んで提供することも可能である。

【 0 0 1 3 】

したがって、専用命令および汎用命令とを有するプログラムを記録した記録手段から、専用命令または汎用命令をフェッチし、専用命令を専用データ処理ユニットに供給するフェッチユニットを有するデータ処理装置においては、専用命令により専用データ処理ユニットを高速に動かしてリアルタイム処理に適した環境を提供できると共に、汎用データ処理ユニットで制御される汎用命令によって専用データ処理ユニットを予め設定された処理手順と異なる処理手順で動かすことが可能であり、柔軟でフレキシブルな処理が実行できる環境も提供できる。

【 0 0 1 4 】

汎用データ処理ユニットが、専用回路部に対しシーケンス制御部の制御信号に代わる制御信号を供給可能であり、専用データ処理ユニットに、シーケンス制御部に制御された制御信号、および汎用データ処理ユニットにより制御された制御信号のいずれかを選択して専用回路部に供給する選択手段を設けることにより、汎用データ処理ユニットにより専用回路部を所望の手順で制御することが可能となり、予めシーケンサ制御部に設定されている処理手順と異なる処理手順で動かすことができる。そして、この選択手段を汎用処理ユニットにより制御することにより、専用回路部が専用命令により動作するか、汎用処理ユニットの制御の下で動作するかを汎用処理ユニットの側で、プログラムにより制御することができる。

【 0 0 1 5 】

したがって、汎用処理ユニットは、シーケンス制御部の制御信号に代わる制御信号を汎用命令に基づき専用回路部に対し供給可能であり、専用データ処理ユニットは、シーケンス制御部により制御された制御信号、および汎用データ処理ユニットにより制御された制御信号のいずれかを選択して専用回路部に供給する選択手段を備えていることが望ましい。そして、制御方法の第2の工程では、シーケンス制御部の制御信号に代わる制御信号を汎用命令に基づき専用回路部に供給し、そのために、シーケンス制御部の制御信号に代わる制御信号に変換されて専用回路部に供給される命令を優先命令として有するデータ処理装置の制御プログラムを用意することが望ましい。

【 0 0 1 6 】

この方法は、データパスと称されるレジスタファイル、演算回路、シフタなどにより構成される特定のデータ処理を行なう専用回路の制御にハードウェアシーケンサによるハードウェアシーケンス制御方式が採用される場合に適している。ハードウェアシーケンサでは、レジスタに状態を持ち、その状態に応じて制御信号を出力する。したがって、動作速度が速く、占有面積も小さいというメリットを備えており、システムLSIをコンパクトに纏めることができる。ハードウェアシーケンサでは、状態の遷移は、現在の状態と入力信号から組合せ回路で決定される。有限の状態を持つことから、FMS (Finite State Machine, ファイナイ

トステートマシン)とも呼ばれる。本発明により、汎用データユニットPUから専用回路部に制御信号を出力するようにすれば、ハードウェアシーケンサのハードウェアを変更しないで専用回路部を柔軟に制御することが可能となり、ハードウェアシーケンサを変更することなく仕様の変更に柔軟に対処できる。また、選択手段は、モードレジスタを用いることが可能であり、それをPUから制御することができる。そして、データパス部である専用回路部に対する命令を汎用命令を介して細かくソフトウェアで制御できるという専用処理ユニットの柔軟化に対するメリットがある。

【 0 0 1 7 】

専用回路部を所定の処理手順と異なる処理手順で制御するために、汎用データ処理ユニットにより、シーケンス制御部に設定された処理手順を変更することも可能である。したがって、汎用データ処理ユニットは、汎用命令により、シーケンス制御部に設定された処理手順を変更できるようにすることが望ましい。そして、制御方法の第2の工程では、汎用命令により、シーケンス制御部に予め設定された処理手順自体を変更可能とし、そのために、優先命令として、シーケンス制御部に予め設定された処理手順を変更する命令を設けておくことが望ましい。

【 0 0 1 8 】

この方法は、シーケンス制御部としてSRAMなどに専用回路部を制御するプログラムを記憶したソフトウェアシーケンサによるソフトウェアシーケンス制御方式を採用している場合に有効である。そして、SRAMなどに記録されたプログラムの内容を書き換えれば専用回路部の命令の組み合わせを変更でき、専用データ処理ユニットにおける処理手順を変更できる。ソフトウェアシーケンサを採用すると、一般的に占有面積が増大してデータ処理装置であるシステムLSIのサイズはアップしやすいが、その反面、シーケンスの内容を自由に再設定可能となる。このため、専用データ処理ユニットの処理内容をさらに柔軟化し易いというメリットがある。また、シーケンス制御部にソフトウェアシーケンサを用いて制御プログラムを書き換え可能にすると共に、上記の方式で汎用データ処理ユニットから専用回路部を制御できるようにすることも可能である。

【 0 0 1 9 】

【発明の実施の形態】

以下に図面を参照しながら本発明についてさらに説明する。まず、図1に、特定の処理に特化した専用データ処理ユニット（専用命令実行ユニット、以降ではVU）1と、汎用的な構成の汎用データ処理ユニット（汎用命令実行ユニットあるいはプロセスユニット、以降ではPU）2とを備えたデータ処理装置（システムLSI）10であって、VU1の処理が固定化されているプロセッサの概略構成を示してある。このLSIに搭載されたプロセッサPU2は、まず、実行形式のプログラムコード（マイクロプログラムコード）を内蔵したコードRAM4から命令をフェッチするフェッチユニット5を備えている。フェッチユニット5は、前の命令あるいはステートレジスタ6の状態、割り込み信号 ϕi などによって決まるコードRAM4の所定のアドレスから命令をフェッチするフェッチ部7と、フェッチされた専用命令（V命令）あるいは汎用命令（一般命令、P命令）をデコードし、専用命令をデコードした制御信号（デコードド・コントロール・シグナル；Decoded Control Signal） ϕv あるいは汎用命令をデコードした制御信号（デコードド・コントロール・シグナル；Decoded Control Signal） ϕp としてVU1あるいはPU2の実行ユニット9に供給するデコード回路8とを備えている。さらに、PU2の実行ユニット9からは実行状態を示すステータス信号（Exec unit Status Signal） ϕs が返えされ、PU2およびVU1の状態がステートレジスタ（状態レジスタ）6に反映されるようになっている。

【0020】

PU2は、さらに、汎用レジスタ、フラグレジスタおよび演算ユニット（ALU）などから構成される汎用性の高い実行ユニット（EU）9と、この実行ユニット9で処理を行う際の一時的な記憶領域となるデータRAM3とを備えている。汎用データ処理ユニットPU2は、FU5および実行ユニット9を有する構成となっており、従来の一般的なプロセッサと同様の構成となる。

【0021】

PU2から供給される専用命令 ϕv を実行する専用データ処理ユニットVU1は、供給する命令がV命令 ϕv であるか、LSI10が複数のVUを搭載している場合には、V命令がVU1を起動する命令であるかなどデコードするユニット

13と、予め特定のデータ処理を行うように設定された制御信号をハードウェア的に出力するFSM (Finite State Machine、ファイナイトステートマシン) 14と、このFSM 14からの制御信号に従って特定のデータ処理を行うようにデザインされた専用回路(データパス)部15と、PU2とのインタフェースをとるインタフェースレジスタ16とを備えている。VU1の内部状態はインタフェースレジスタ16を介してPU2で参照でき、また、データパス部15で処理された結果はPU2に供給され、PU2ではその結果を利用した処理が行われる。FSM 14は、専用回路部15をハードウェアシーケンス制御方式で実現するためのものであり、レジスタに状態を持ち、その状態に応じて制御信号を出力する有限状態マシンである。状態の遷移は、現在の状態と入力信号から組合せ回路で決定される。したがって、V命令 ϕv が供給されるとFSM 14が設定された一連のシーケンスにしたがって制御信号 $\phi c1$ を専用回路部15に状態の遷移に応じて順次供給し、専用回路部15を用いて所定のデータ処理を行う。

【0022】

図1に示したシステムLSI 10では、コードRAM 4に、汎用命令(P命令)および専用命令(V命令)を含んだプログラムが記憶されており、それがフェッチユニット5でフェッチされ、デコードされた制御信号 ϕp または ϕv として出力される。VU1は、デコードユニット13でこれらの制御信号 ϕp および ϕv から自分のVU1を起動する専用命令がデコードされた制御信号 ϕv を判別し、それが供給されるとVU1は稼動する。

【0023】

一方、PU2には、汎用命令がデコードされた制御信号 ϕp だけが供給されるようになっており、V命令をデコードしたPU2では実行できない命令はPU2には発行されないようになっている。その代わりに、実行を伴わないnop命令を示す制御信号が発行され、PU2の処理はスキップされる。V命令をデコードした制御信号を発行する代わりにnop命令を発行することにより、PU2はV命令あるいはそれをデコードした制御信号に対処する必要がない。すなわち、VU1は、アプリケーションなどによって変更されるものであり、VU1に指示を出す専用命令もアプリケーションによって変わることが多い。VU1は、アプリ

ケーションに特化した専用回路であり、V命令をデコードした制御信号を解釈するように設計することは容易である。一方、PU2は、nop命令が出力されることにより、VU1に特化した命令に対処する必要がなく、基本命令あるいは汎用命令を解釈して実行できる機能があればよく、汎用性を犠牲にすることなく様々なアプリケーションに対応したVU1と共存し、これらを制御したり、その演算結果を用いて処理を行うことができる。

【 0 0 2 4 】

このように、図1に示したシステムLSI10は、先に説明した、リアルタイム応答を実現できる専用回路VU1と、汎用性があるプロセッサPU2とを有するものであり、さらに、PU2は、プログラムカウンタにしたがってP命令を順次読み込んで実行するタイプの汎用型の組込型プロセッサにより実現することが可能であり、実績のあるプロセッサの構成およびプログラムを活かすことができる。したがって、本例のVU1およびPU2を備えたシステムLSI10は、高速処理あるいはリアルタイム処理が要求される処理はVU1を用いて実現し、エラー処理などの汎用性が必要とされる処理はPU2を用いて実行でき、さらに、VU1の制御もプログラムレベルで規定することができる。このため、設計および開発期間を短縮でき、さらに、その後の変更や修正にも柔軟に対処できるものである。それと共に、リアルタイム処理などの従来のプログラムベースで制御される装置では実現が難しい、高速性およびクロックベースの制御が要求される処理にも対応できるシステムLSIを提供できる。また、専用回路VU1は、1つに限定されることはなく、アプリケーションで要求される処理に対応して複数の専用回路VU1を用意し、それぞれの専用回路VU1を稼動する複数の専用命令をプログラムコードに含めることが可能なので、応用範囲は広いシステムである。

【 0 0 2 5 】

図2に、本発明のシステムLSIの一例を示してある。本例のシステムLSI11は、上記のシステムLSIと同様にPU2とVU1とを備えたものであり共通する部分については同じ符号を付して説明を省略する。本例のLSI11も、コードRAM4に格納されたプログラム4aによりコントロールされるようにな

っている。このプログラムコード4 aは上記と同様に専用命令（V命令）と汎用命令（P命令）とにより構成されており、VU1にはV命令をデコードした信号 ϕv が供給される。そして、本例のシステムLSI11では、V命令 ϕv に加え、VU1に対し汎用のP命令 ϕp の一部も供給されるようになっており、VU1のデコードユニット13は、供給されたP命令 ϕp をFSM14から出力される制御信号 $\phi c1$ に代わる制御信号 $\phi c2$ にデコードし、出力する機能を備えている。さらに、本例のVU1は、FSM14から供給される制御信号 $\phi c1$ と、PU2から供給されたP命令 ϕp をデコードした制御信号 $\phi c2$ とのいずれかを選択して専用回路であるデータパス部15に供給することができるセレクタ17を備えている。また、このセレクタ17において制御信号 $\phi c1$ および制御信号 $\phi c2$ のいずれかを選択するかを示すモードレジスタ（以降においてはMR）18を備えており、このMR18の値はPU2の実行ユニット8からの信号 ϕcs によってセットされる。

【0026】

したがって、本例のシステムLSI11においては、VU1のデータパス部15は、FSM14からの制御信号 $\phi c1$ によりFSM14にセットされたシーケンスにしたがって上記のシステムLSI10と同様に制御されると共に、MR18の値を変えることにより、PU1から命令に基づく制御信号 $\phi c2$ によっても制御することができる。このため、予めFSM14にセットされた一連の処理手順によりデータパス部15を動かすことができると共に、PU2のFU5を介してRAM4に格納されたプログラム4 aによりFSM14による処理手順とは異なる処理手順でデータパス部15を動かすことができる。したがって、予め設定されたデータ処理はハードウェアシーケンス制御方式によりリアルタイムでデータパス部15で処理できると共に、それ以外の処理がデータパス部15に要求される場合はプログラム4 aにより柔軟にそれに対応することができる。このため、本例のシステムLSI11においては、製造後にデータパス部15で仕様の異なる処理を実行させる必要が生じたときに、コードRAM4に収納されるプログラム4 aを書き換えることにより柔軟に対処することができる。

【0027】

すなわち、本例のシステム L S I 1 1 においては、図 3 に示すように、制御対象となるレジスタファイル、演算回路、シフタなどのデータ処理を行なう V U 1 の専用回路であるデータパス部 1 5 の制御に、ハードウェアシーケンス制御装置である F S M 1 4 と、プログラム制御装置である P U 1 が用意されている。そして、ハードウェアシーケンス制御装置である F S M 1 4 からの制御信号 $\phi c 1$ と、プログラム制御装置である P U 1 からの命令に基づき出力する制御信号 $\phi c 2$ とを M R 1 8 の値に基づき制御選択回路 1 7 により選択し、制御対象であるデータパス部 1 5 に対する制御信号 $\phi c 3$ として出力するようになっている。

【 0 0 2 8 】

このように、本例のシステム L S I 1 1 においては、専用回路であるデータパス部 1 5 が、ハードウェアシーケンス制御方式と、プログラム制御方式の両方で制御できるようになっている。ハードウェアシーケンス制御方式は、上述したように、レジスタに状態を持ち、その状態に応じて制御信号を出力する。状態の遷移は、現在の状態と入力信号から組合せ回路で決定され、有限の状態を持つことから、F S M (ファイナイトステートマシン) とも呼ばれる。これに対し、プログラム制御方式は、制御実行時、プログラムコードを外部より与えるものである。プログラムコードは、R A M などのスタック領域に保持され、制御信号は、プログラムコードをデコード回路などにより制御信号に変換して出力される。

【 0 0 2 9 】

ハードウェアシーケンス制御方式は、現在の状態と入力信号から次の状態を組合せ回路にて決定するため、複数の制御信号を高速に制御することが可能である。しかし、状態遷移が組合せ回路で固定的に決定されているため、一旦 特定用途向け L S I (A S I C) などハードウェア化してしまった場合、その制御を容易に変更することができない。一方、プログラム制御を用いた場合、通常、プログラム制御装置は、プログラムコードが後から変更できるように構成されているため、制御装置を A S I C などの製品としてハードウェア化してしまった後でもその制御を容易に変更することができる。しかし、プログラム制御は、その制御を汎用的なプログラムコードのステップに分解するため、その制御は一般にハードウェアシーケンス制御方式に比べ低速である。

【0030】

したがって、ある処理の目的にレジスタファイルや演算回路などを用いたデータパスを用意したときに、当該処理がプログラム制御では要求性能を満たさない場合は、より高速に制御するためにはハードウェアシーケンス制御を採用せざるを得ない。しかしながら、ハードウェアシーケンス制御を採用した場合、ハードウェアシーケンス制御で決められた制御以外の処理を行わせることはできない。つまり、一旦、ASICのようなハードウェアにしてしまうと、ハードウェアシーケンス制御されたデータパスを用いて、当該処理を変更したり、当該データパスに別の処理を行わせることは不可能である。したがって、柔軟性には乏しくなるが、高速化には適しているので、上述したシステムLSI10においても、V命令φvで動くVU1を1つまたは複数ブロック搭載し、リアルタイム処理が可能なASICを提供している。その一方で、処理が変更されたりする確率の高い汎用処理は汎用のPU1により処理するようにしている。

【0031】

これに対し、本例のシステムLSI11においては、汎用のPU1が用意されていることに注目し、この処理を柔軟に変更させるためのプログラム制御装置によってもデータパス部15を制御可能とし、それぞれの制御装置で出力された制御信号を選択回路17に入力し、そのどちらかを選択することにより、ハードウェアシーケンス制御でもプログラム制御でもデータパス部15を制御できるようにしている。したがって、本例のシステムLSI11は、VU1で、ハードウェアシーケンス制御で処理できる処理は、高速に実行できる特徴を残しつつ、プログラム制御を取り入れることにより、その処理を変更したり、当該データパスを用いて別の処理を柔軟に行なわせることができるようにしている。

【0032】

図4に、VU1のさらに具体的な例を示してある。このVU1は、図5(c)に示す処理リスト20を処理するためのデータパス部15を備えたものである。図5(c)に示した処理20は、R(i)とR(5)に対しf1の演算を行ない、その結果をR(i)に格納し、その結果R(i)とR(6)に対しf2の演算を行ない、その結果をR(i)に格納し、さらに、その結果R(i)とR(7)

に対し f_3 の演算を行ない、その結果を $R(i)$ に格納する処理を $i=0, 1, 2$ の順に行なうものである。ただし、 f_3 の演算時にフラッグ FL が発生したら、その時点で処理は終了するものとする。

【0033】

本例の $LSI11$ において、この処理を V 命令で実行するには、図 5 (a) に示すように、コード $RAM4$ に収納されたプログラム $4a$ に、この処理を $VU1$ で実行することを示す V 命令が P 命令と共に記述する。図 5 (b) に示すように、 $PU2$ の $FU5$ がプログラム $4a$ の命令を順次フェッチし、 P 命令であるとデコードした P 命令 ϕ_p を実行ユニット 9 に供給する。一方、 V 命令であるとデコードした V 命令 ϕ_v を $VU1$ に供給し、実行ユニット 9 には NOP を出力する。そして、 $VU1$ では、 V 命令 ϕ_v を受信すると、 $FSM14$ にセットされている処理リスト 20 に従った処理手順で処理を実行する。

【0034】

この処理リスト 20 を実行するデータパス部 15 は、レジスタファイル 21 a、レジスタファイル読み出し選択回路 21 b および選択回路 B 21 c、演算回路 21 d を備えており、演算回路 21 d からフラッグ信号 FL が処理が終了したことを示す信号として $FSM14$ にフィードバックされるようになっている。レジスタファイル 21 a は $R(0) \sim R(7)$ の 8 種類のデータを保持することができ、読み出しは 2 ポートあり、レジスタファイル読み出し選択回路 21 b および選択回路 21 c によりそれぞれデータ $R(0) \sim R(7)$ のうちの 1 つを独立に選択出力することができる。また、書き込みは、1 ポートで演算回路 21 d の出力を $R(0) \sim R(7)$ どれか 1 つに書き込むことができる。また、演算回路 21 d は、制御信号 ϕ_{c3} により複数の演算処理を行なうことができ、レジスタファイル読み出し選択回路 21 b の出力とレジスタファイル読み出し選択回路 21 c の出力を引数として演算処理を行ない、その結果を出力する。同時に演算結果に付随するフラッグ信号 FL を出力する。

【0035】

したがって、本例のデータパス部 15 を制御する制御信号群 ϕ_{c3} は、レジスタファイル読み出し選択 21 b の制御、レジスタファイル読み出し選択 21 c の

制御、演算回路 2 1 d の演算選択の制御、レジスタファイル書き込み選択・許可の制御の 4 種類になることが分かる。このデータバス部 1 5 を制御するためにハードウェアシーケンス制御装置 (F S M) 1 4 が用意されており、F S M 1 4 からはハードウェアシーケンス制御信号群 $\phi c 1$ が出力される。F S M 1 4 により、図 5 に示した処理リスト 2 0 の処理を行なわせるためには、図 6 のような状態を持つ F S M とし、その状態に対し図 7 のように制御信号 $\phi c 1$ を出力すればよい。

【 0 0 3 6 】

本例のシステム L S I 1 1 においては、さらに、P 命令 ϕp によってデータバス部 1 5 を制御することができる。このため、P U 2 から供給された P 命令の一部 ϕp は、V U デコードユニット 1 3 によりデコードされ、制御信号 $\phi c 2$ がセレクタ 1 7 に供給できるようになっている。したがって、データバス部 1 5 をプログラム 4 a により制御することが可能であり、ユーザがデータバス部 1 5 やそれを利用した命令を追加できるカスタマイズ可能な L S I となっている。プログラム制御装置を利用すると実現が容易である。

【 0 0 3 7 】

本例においては、データバス部 1 5 を制御できる P 命令として優先命令 O P - f 1、O P - f 2、O P - f 3 が用意されており、各命令をデコードして、図 8 のように制御信号 $\phi c 2$ を出力するように V U デコードユニット 1 3 が構成されている。したがって、図 5 に示すように、プログラム 4 a の P 命令に、たとえば、優先命令 O P - f 1 が含まれていると、その P 命令はデータバス部 1 5 に対する制御命令 $\phi c 2$ として V U デコードユニット 1 3 によりデコードされる。同時に、優先命令 O P - f 1 は P U 実行ユニット 9 にも供給され、M R 1 8 はセレクタ 1 7 が P U 2 に制御された制御命令 $\phi c 2$ を選択するようにセットされる。したがって、データバス部 1 5 は、優先命令 O P - f 1 をデコードした制御信号 $\phi c 2$ により制御される。

【 0 0 3 8 】

このように、本例の V U 1 においては、ハードウェアシーケンス制御信号群 $\phi c 1$ とプログラム制御信号群 $\phi c 2$ は、制御選択回路 1 7 に入力され選択されて

データバス制御信号群 $\phi c3$ として出力される。そして、本例ではモードレジスタ(MR)18の内容によってハードウェアシーケンス制御信号群 $\phi c1$ とプログラム制御信号群 $\phi c2$ のどちらをデータバス制御信号群 $\phi c3$ として出力するかを選択することとしている。このMR18は、プログラム制御装置PU2より書き込まれ、PU2によりFSM14か、PU2のいずれかを制御装置として選択できるようになっている。したがって、本例のシステムLSI11においては、VU1の専用回路であるデータバス部15を、V命令 ϕv によりFSM14から出力される一連の制御信号 $\phi c1$ で制御する工程と、PU2によりフェッチするタイミングが制御されるP命令 ϕp をデコードした信号であって、制御信号 $\phi c1$ に代わる制御信号 $\phi c2$ により、FSM14にセットされた処理手順と異なる処理手順で制御する工程とを備えている。

【0039】

本例のシステムLSI11において、VU1のデータバス回路15で行う処理を、処理リスト20から、図9に示す処理リスト25のように演算処理の順番を変更しなければならなかったとする。この処理をVU1のFSM14で処理することは不可能である。しかしながら、本例のLSI11においては、P命令でVU1のデータバス部15を制御することができる。したがって、図10に示すような優先命令OP-f1、OP-f2、OP-f3を備えたプログラム4bを用意し、PU2で実行する。ここでは、プログラム4bでMR18を制御し、優先命令がデコードされたプログラム制御信号群 $\phi c2$ を選択するように設定することにより、データバス部15の制御がFSM14からPU2へ切り替わる。したがって、図10に示したプログラム4bにより、FSM14に設定された処理手順20と異なる処理手順25に従いデータバス部15を制御し、処理手順25の処理を実行することができる。

【0040】

このように本発明を適用すると、所望の処理をハードウェアシーケンス制御により高速に処理でき、かつ、その処理に変更があった場合には、データバスの制御をプログラム制御側に切替えることにより、同一のデータバス部15を利用し、処理を容易に変更することが可能となる。

【 0 0 4 1 】

なお、本例では、制御選択回路 1 7 の選択信号は、PU 2 から設定できるモードレジスタ 1 8 により生成したが、ハードウェアシーケンス制御装置である FSM 1 4 から出力してもよいし、VU 1 あるいは PU 2 以外の処理ブロック、さらにはシステム LSI 1 1 の外部より与えられてもよい。

【 0 0 4 2 】

図 1 1 に、本発明のシステム LSI の他の例を示してある。本例のシステム LSI 1 2 も上記のシステム LSI と同様に PU 2 と VU 1 とを備えたものであり共通する部分については同じ符号を付して説明を省略する。本例の LSI 1 2 の VU 1 は、データパス部 1 5 のシーケンス制御部として SRAM 1 9 が採用されており、SRAM 1 9 にトリガ信号として V 命令 ϕv がデコードされた信号が入力されると、SRAM 1 9 に記憶された一連の制御信号 $\phi c 3$ が順次、データパス部 1 5 に供給され、所定の処理手順に従った処理が実行される。したがって、本例のシステム LSI 1 2 においては、データパス部 1 5 の処理手順は、SRAM 1 9 の内容を書き換えることにより変更できる。

【 0 0 4 3 】

図 1 2 に、上述した VU 1 のシーケンス制御部を示してある。図 1 2 (a) は、図 2 に示した、ステートレジスタ 1 4 a と組み合わせ回路 1 4 b から構成される FSM 1 4 によるハードウェアシーケンス制御方式であり、この場合には限られた状態間を固定的に遷移するのみとなる。したがって、FSM 1 4 をバイパスして PU 2 から制御命令 $\phi c 2$ を供給することにより、VU 1 で実行される処理をリコンフィギャラブルなものとしている。FSM 1 4 を用いた制御は、ハードウェアによる制御となるので、オーバーヘッドが小さいので処理速度が速く、また回路規模も小さくなる。したがって、よりコンパクトで、リアルタイム処理に適したシステム LSI を提供できる。その一方で、FSM 1 4 にセットされた以外の処理手順でデータパス回路 1 5 を制御しようとする、本発明により上記のような方法を提供することができ、FSM 1 4 にセットされた処理以外にも柔軟に対応できる。しかしながら、FSM 1 4 をバイパスして PU 2 から制御命令 $\phi c 2$ を供給するために、FSM 1 4 に設定されたデータ処理以外のデータ処理を実

行しようとする処理速度が低下する。

【0044】

これに対し、図12(b)に示したSRAM19を用いたソフトウェアシーケンス制御方式では、SRAM19の内容を書き換えることができるので、予め設定されている処理手順と異なる処理手順でデータパス部15を制御したときに処理速度が低下することはない。しかしながら、SRAM19を使用したシーケンス制御では、SRAM19の出力データをFSMの状態とし、かつ、この出力データをSRAM19の入力アドレスの一部としてフィードバックさせ、そのアドレスの出力信号を再び出力するといった方法をとる。したがって、処理時間およびハードウェア的にもFSMに対してオーバーヘッドがあり、占有面積が大きくなり、また、処理速度がFSMに比べると低下する。

【0045】

このSRAM19をシーケンス部とした採用した場合にリプログラブルとする方法は2つある。1つは、SRAM19の内部データ（次期アドレスとなるので遷移先を示す）をPU2から書き換え可能としておくことにより、シーケンスの順序と条件を変更したい場合にはSRAM19の所定のアドレスの内容をPU2からダウンロードすることができる。SRAM19にダウンロードする内容は、PU2のデータRAM3などに格納しておくことができる。もちろん、コードRAM4を用いても良い。さらに、SRAM19を2ポートリードとしておけば実行中に書き換えることも可能となる。

【0046】

2つめは、SRAM19のシーケンスプログラムを一回で書き換えてしまう方法である。このように、まとまった制御を一回で書き換えてしまうことにより、より汎用的なプログラミングが可能となり、データパス部15の処理シーケンスをさらにフレキシブルに変更することができる。SRAM19にダウンロードするプログラムは、例えば、PU2のデータRAM3に格納しておき、P命令にしたがって、VU1のインターフェイスレジスタ15を介してSRAM19にロードすることができる。したがって、SRAM19をVU1のシーケンス制御部と用いた本例のシステムLSI12においても、P命令でVU1のデータパス部1

5の処理手順を変更することが可能である。そして、SRAM19にダウンロードするプログラムを変更することによりVU1の処理内容を極めて柔軟に変更することが可能であり、仕様変更などに対しどの段階でもフレキシブルに対応することができる。

【0047】

このため、上述した本発明にかかるシステムLSIは、VUの仕様にまで影響を与えるような変更に対しても柔軟に対応することができ、また、開発のあらゆる段階の仕様変更にも柔軟に対処することが可能である。さらに、VUの機能を1つに限定するのではなく、その機能を最大限に活かすことが可能となる。また、本発明のシステムLSIでは、VU1で、ハードウェアシーケンス制御で処理できる処理は、高速に実行できる特徴を残しつつ、プログラム制御を取り入れることにより、その処理を変更したり、当該データパスを用いて別の処理を柔軟に行なわせることができるので、リアルタイム処理性能、高速処理性能といった上述したVUおよびPUを組み合わせたシステムLSIのメリットに加えて、仕様変更などに対しさらに柔軟なシステムを提供できる。

【0048】

上記の、SRAM19によりVU1のシーケンス制御を行う例では、SRAM19の内容をP命令により書き換える例を説明しているが、これに加えて、さらに、図2に示したのと同様に、SRAMからの制御信号と、P命令をデコードした制御命令を選択できるセレクタとモードレジスタMRをVU内に設け、図2に示した方式と組み合わせることも可能である。

【0049】

また、上記の例では、P命令をデータパス部15の制御命令 $\phi c2$ にデコードする機能をV命令デコードユニット13で行っているが、PU2の実行ユニット9で制御命令 $\phi c2$ を生成するなど、制御信号への変換機能を持つユニットは上記の例に限定されるものではなく、それらの変形例も本発明に含まれる。

【0050】

以上、説明したように、VUを柔軟化する課題を解決するために、本発明においては、ハードウェアシーケンス制御の高速性とプログラム制御の柔軟性・変更

容易性を兼ね備えた制御方式をVUの制御に採用するようにしている。近年、装置設計において、フィールドプログラマブルゲートアレイ(組み込み機器上で論理書き換え可能なLSIであり、以降においてはFPGAと略す)を用いて試作機を作成し、その装置によってLSI設計の正当性を検証した後に、そのFPGAの機能をASIC化する設計方法が盛んに取られている。実機にFPGAではなく、ASICを採用するのは、ASICの方が、量産時のコストが小さいからである。

【0051】

FPGAを用いた試作機において、リアルタイム処理や高速性能が要求されるアプリケーションなどに対する性能を検証する必要があるケースでは、近年高速化されてきたとはいえ、FPGAの動作は低速であるので、プログラム制御方式を取ると要求性能を満たせない可能性がある。したがって、試作機においても、FPGAをハードウェアシーケンス制御方式で制御する構成を採用せざるを得ない用途が出てくる。試作機においては、FPGAを採用している限り、その特徴から、ハードウェアシーケンス制御方式を採用しても、装置構築後にその制御を変更することは可能である。しかしながら、この場合、いったんASIC化した後には制御を変更出来ないという問題点が残る。逆に、ASIC化にてFPGAよりも高速な動作が可能となれば、ASICとしてはプログラム制御方式でも要求性能を満たすことが可能となるが、FPGAを用いた試作機ではそのプログラムを実機と同じ速度で動作検証することができないという問題が残る。

【0052】

これに対し、本発明のデータ制御装置を用いれば、FPGAを用いた試作機においては、ハードウェアシーケンス制御を選択することで実機と同じ速度で動作検証することが可能となるし、実機でASIC化した後に制御を変更しなければならなくなった場合には、プログラム制御を選択し、プログラムを変更することにより制御の変更に対応できる可能性を持つことになる。したがって、本発明のデータ制御装置を適用したシステムLSI(ASIC)は、FPGAを用いた試作機をベースとした開発状況にもマッチしたものであり、特に、画像処理や、ネットワーク処理などの高速性とリアルタイム処理性能が要求される用途のASI

Cには適したものである。

【 0 0 5 3 】

【発明の効果】

以上に説明したように、本発明においては、汎用データ処理ユニットである P U により、専用データ処理ユニットである V U の専用回路を、V U で予め設定された所定の処理手順と異なる処理手順で制御できるようにしている。したがって、V U による高速あるいはリアルタイム処理性能を残しながら、P U により専用回路を柔軟に制御することが可能となり、V U と P U を備えたデータ処理装置において、V U の仕様にまで影響を与えるような変更に対しても柔軟に対応することができるデータ処理装置を提供することができる。さらに、V U で予め設定された所定の処理手順以外にも専用回路を制御できるので、V U の機能を最大限に活かすことができるデータ処理装置が提供可能となる。

【図面の簡単な説明】

【図 1】

V U および P U を備えたシステム L S I の概要を示す図である。

【図 2】

本発明に係るシステム L S I の概要を示す図である。

【図 3】

図 2 に示す V U の専用回路の制御システムの概要を示す図である。

【図 4】

図 2 に示す V U のさらに詳細な例を示す図である。

【図 5】

図 2 に示すシステム L S I の制御プログラムの一例を示す図である。

【図 6】

V U の F S M の遷移状態を示す図である。

【図 7】

F S M から出力される制御信号を示す図である。

【図 8】

P 命令をデコードして出力される制御信号を示す図である。

【図 9】

VUに設定された制御手順と異なる手順を示す制御リストを示す図である。

【図 1 0】

図 9 に示す制御リストの処理を P 命令により行うプログラムの一例である。

【図 1 1】

上記と異なる本発明のシステム L S I の構成を示す図である。

【図 1 2】

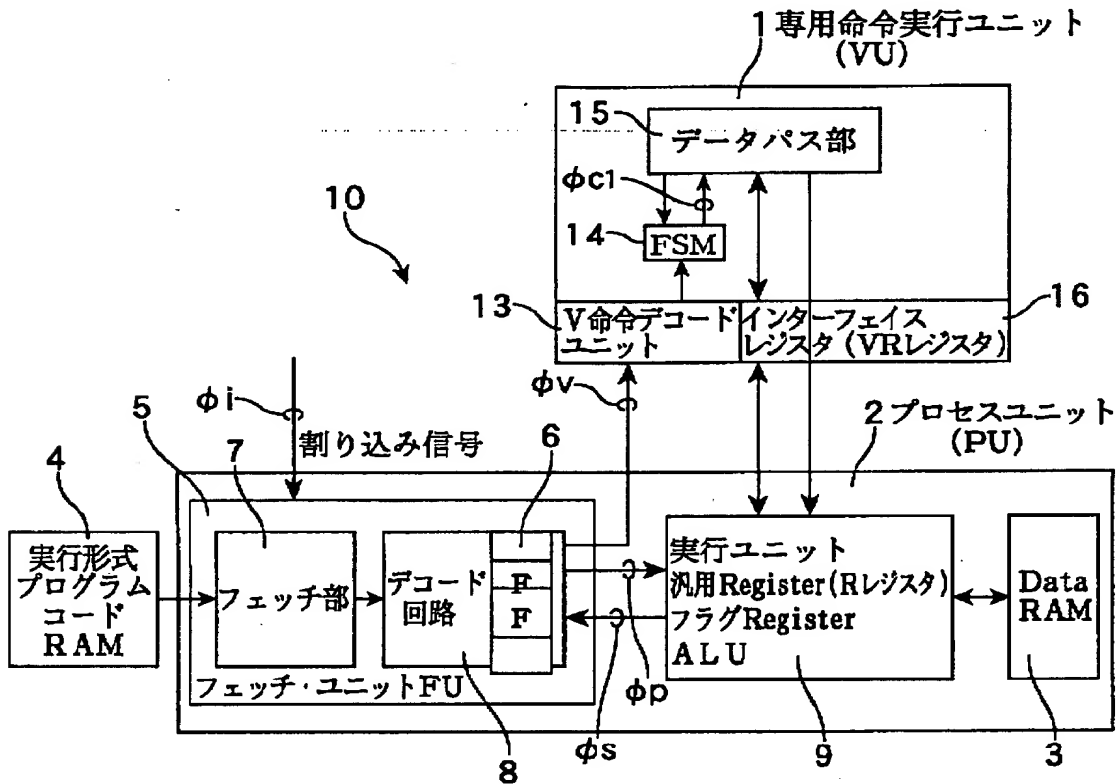
VUのシーケンス制御の構成を示す図である。

【符号の説明】

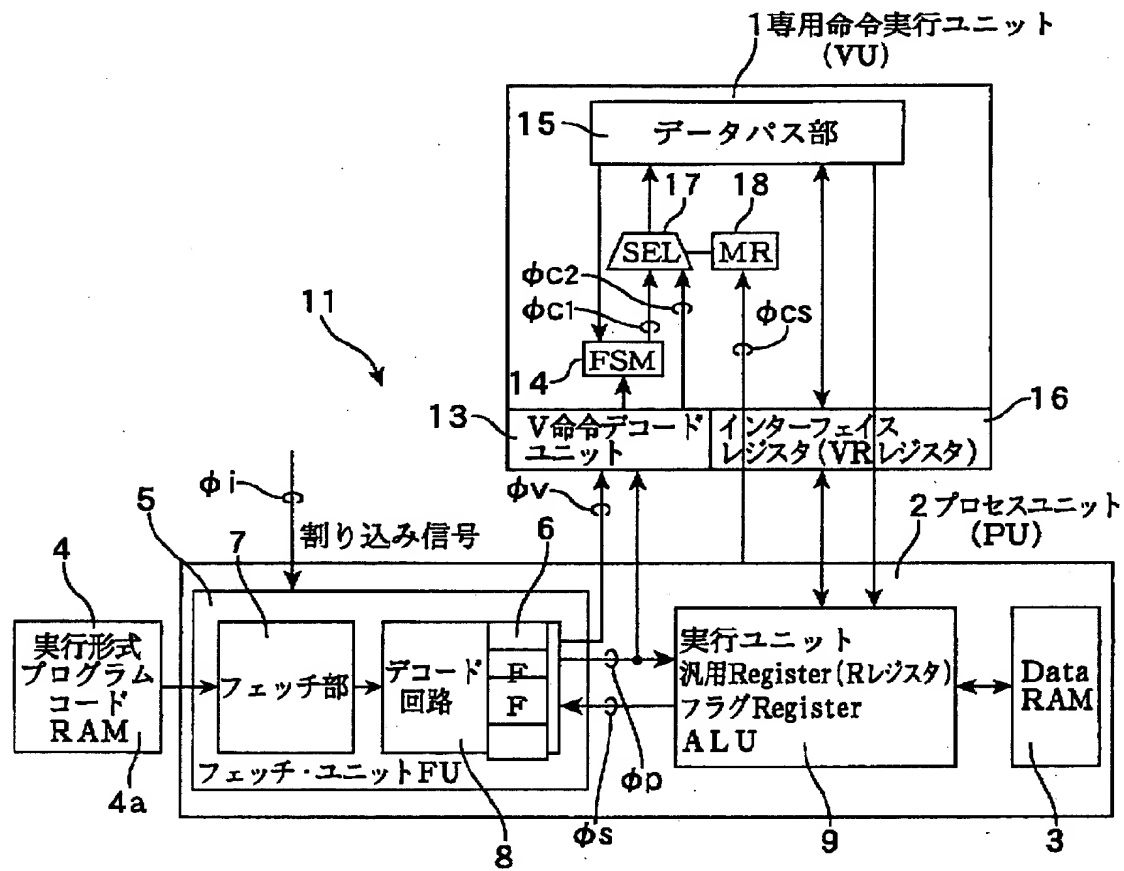
- 1 専用データ処理ユニット (VU)
- 2 汎用データ処理ユニット (PU)
- 4 コードRAM
- 4 a、4 b プログラム
- 5 フェッチユニット (FU)
- 9 実行ユニット
- 1 0、1 1、1 2 システム L S I
- 1 3 V命令デコードユニット
- 1 4 FSM
- 1 5 データバス部 (専用回路部)
- 1 6 インタフェースレジスタ
- 1 7 セレクタ
- 1 8 モードレジスタ (MR)
- 1 9 SRAM
- φ c 1 FSMからの制御信号
- φ c 2 P命令をデコードした制御信号
- φ p 汎用命令 (P命令)
- φ v 専用命令 (V命令)

【書類名】 図面

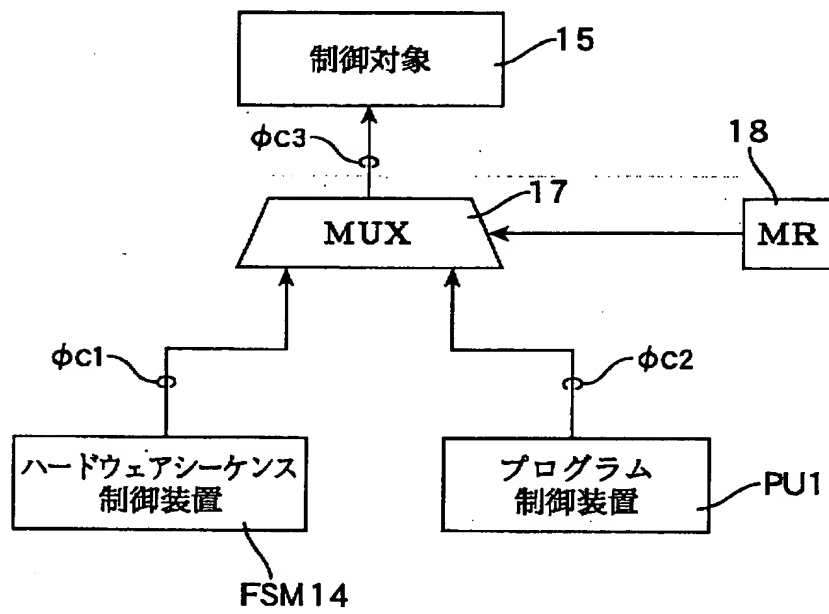
【図 1】



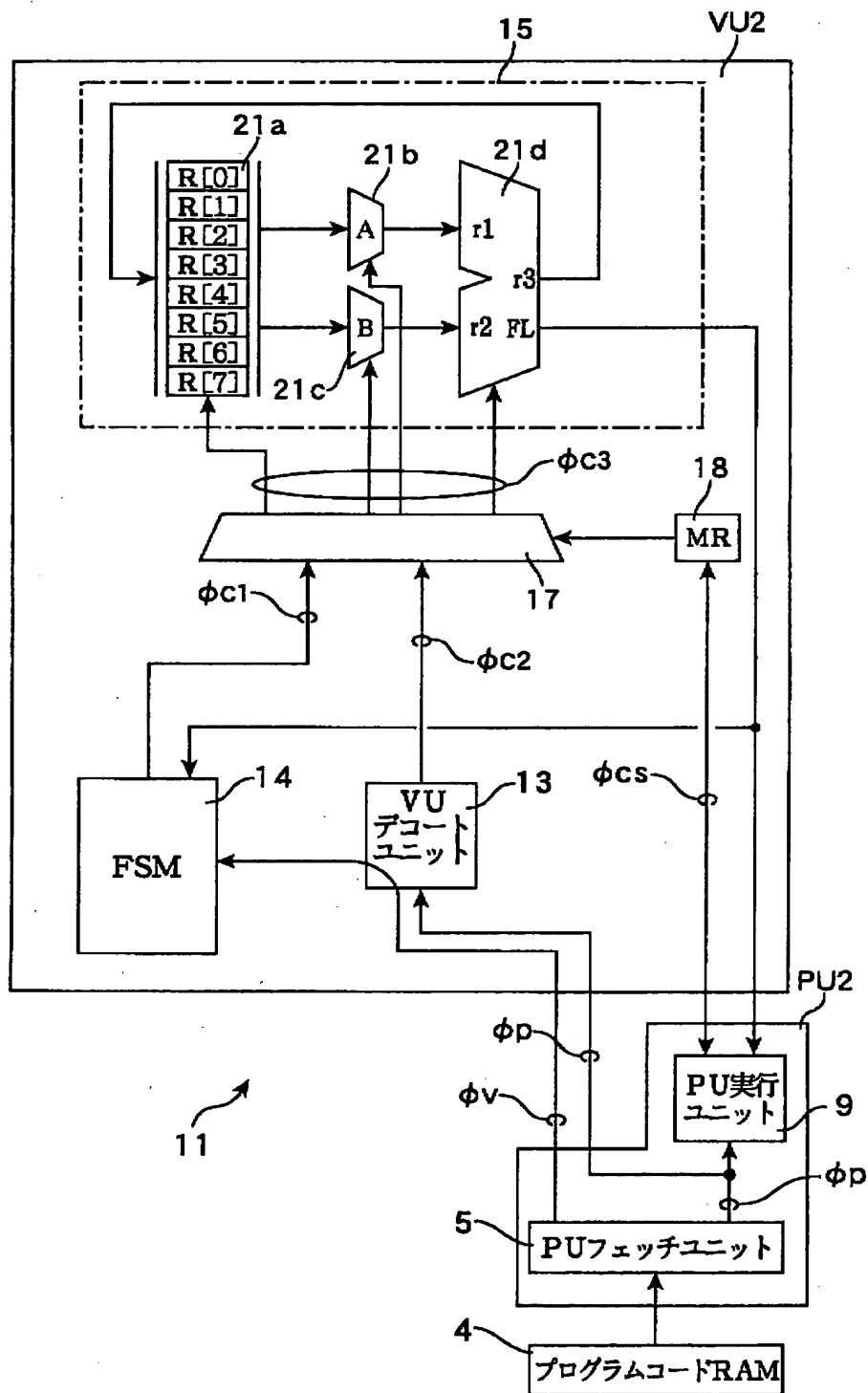
【図2】



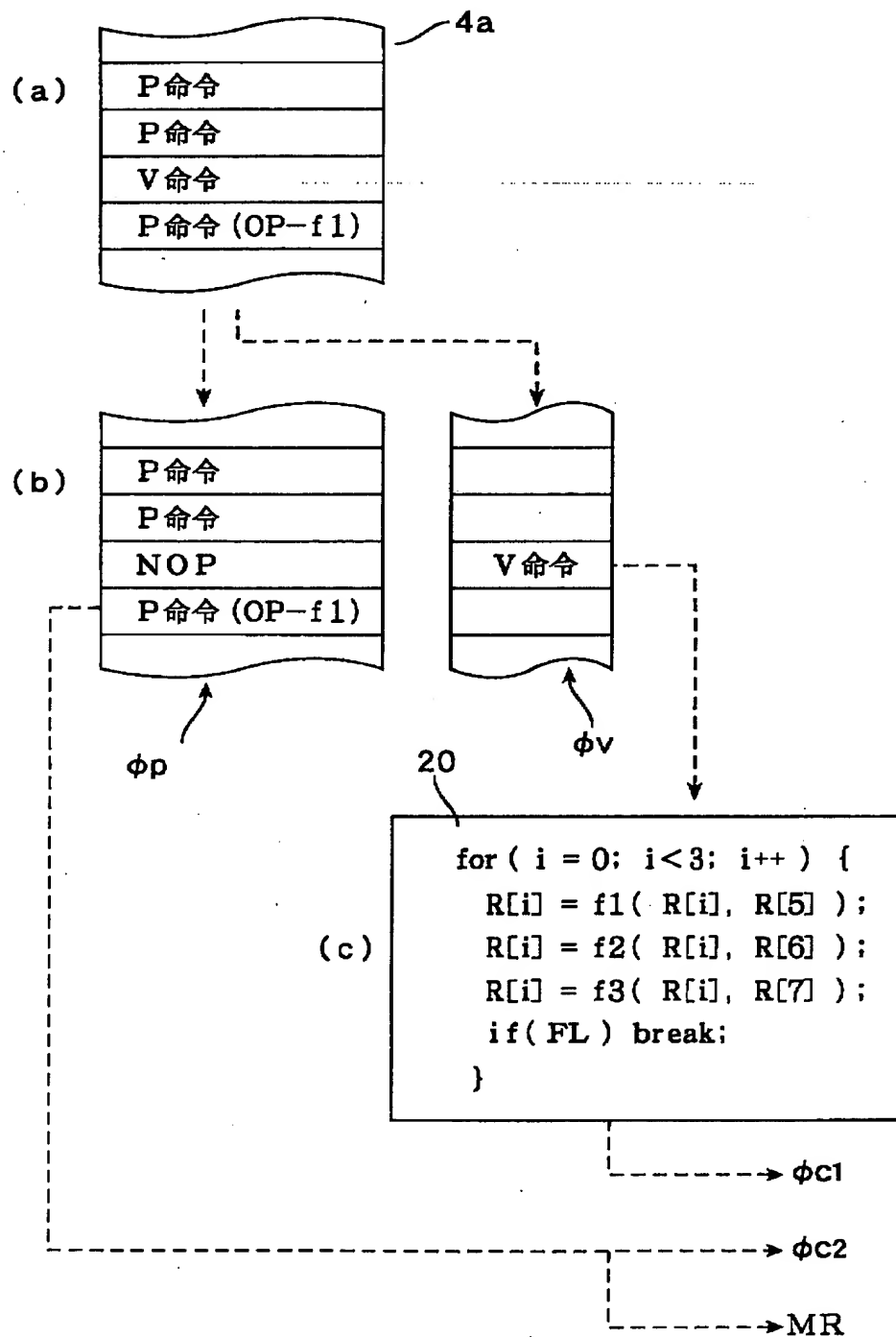
【図 3】



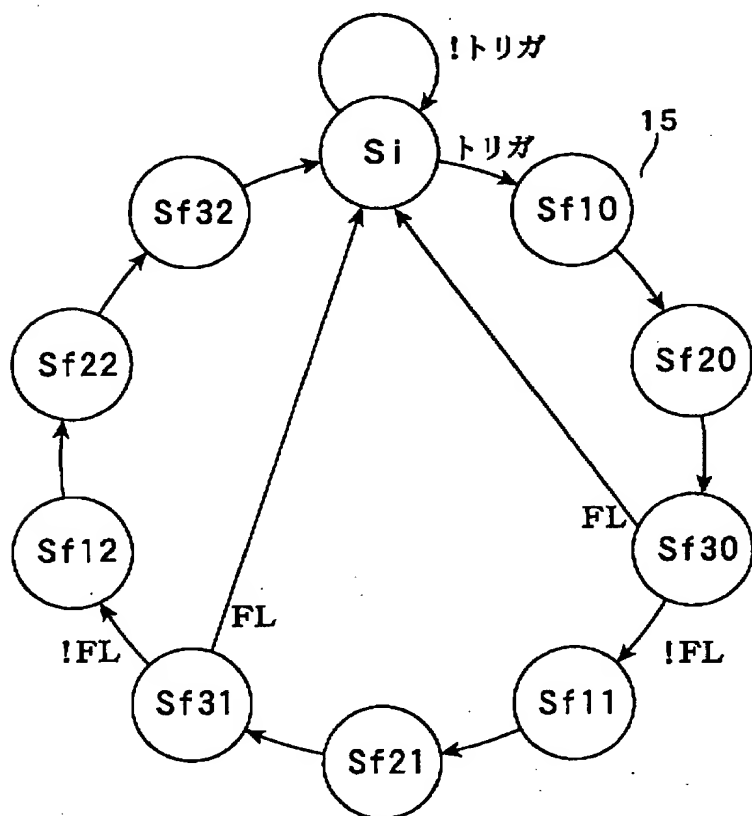
【図 4】



【図 5】



【図 6】



【図 7】

$\phi C1$

状態	レジスタファイル 読み出し選択 A	レジスタファイル 読み出し選択 B	演算選択	レジスタファイル 書き込み選択・許可
Si	読み出し無し	読み出し無し	演算選択無し	書き込み無し
Sf10	R[0]	R[5]	f1	R[0]
Sf20	R[0]	R[6]	f2	R[0]
Sf30	R[0]	R[7]	f3	R[0]
Sf11	R[1]	R[5]	f1	R[1]
Sf21	R[1]	R[6]	f2	R[1]
Sf31	R[1]	R[7]	f3	R[1]
Sf12	R[2]	R[5]	f1	R[2]
Sf22	R[2]	R[6]	f2	R[2]
Sf32	R[2]	R[7]	f3	R[2]

【図 8】

$\phi C2$

命 令	レジスタファイル 読み出し選択 A	レジスタファイル 読み出し選択 B	演算選択	レジスタファイル 書き込み選択・許可
OP-f1 r3,r1,r2	r1 指定	r2 指定	f1	r3 指定
OP-f2 r3,r1,r2	r1 指定	r2 指定	f2	r3 指定
OP-f3 r3,r1,r2	r1 指定	r2 指定	f3	r3 指定

【図 9】

25

```

for ( i = 0; i < 3; i++ ) {
    R[i] = f3 ( R[i], R[7] );
    R[i] = f2 ( R[i], R[6] );
    R[i] = f1 ( R[i], R[5] );
    if ( FL ) break;
}
    
```

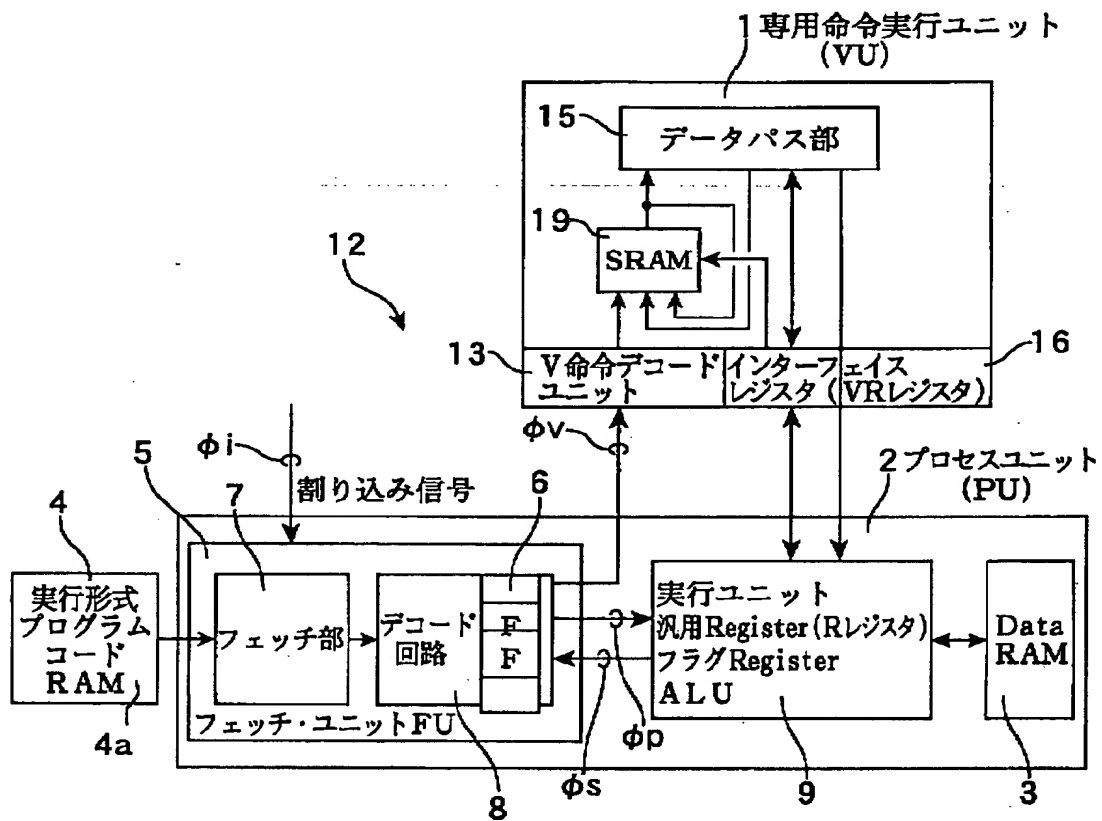
【図 10】

4b

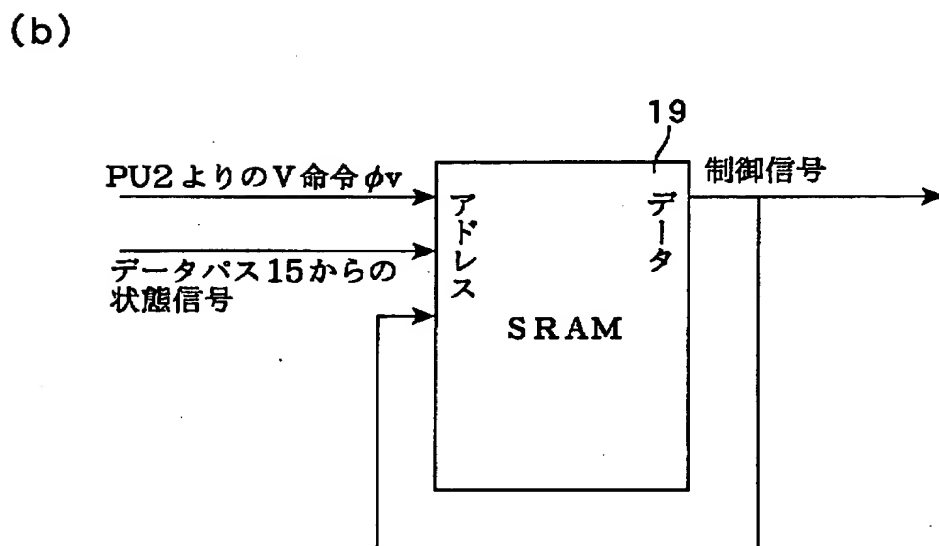
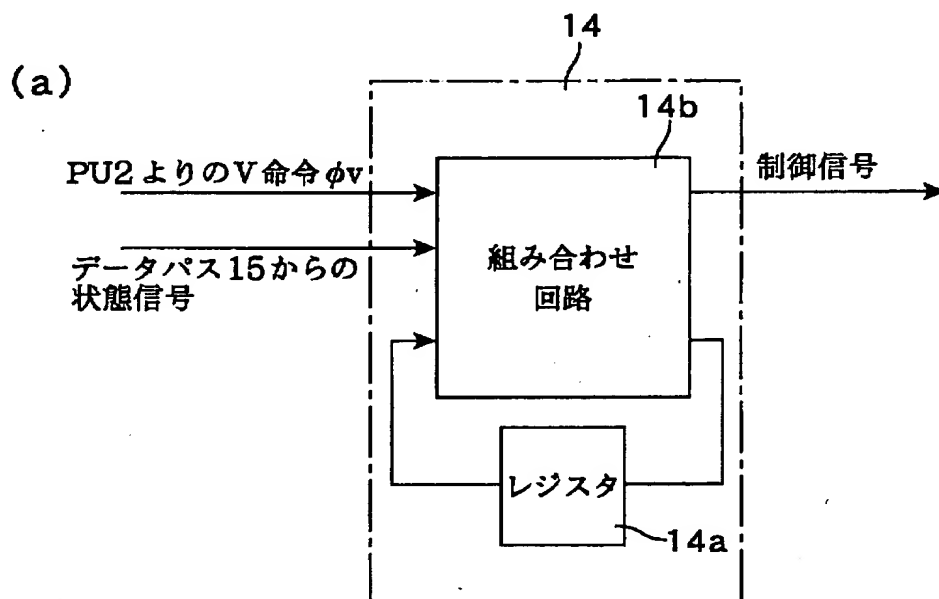
```

TRIGGER: MOVE MR, #プログラム制御モード
          MOVE i, #0
LOOP:     CMP  i, #3
          JRC  END      ;if(i-3<0) JMP END
          OP-f3 R[i],R[i],R[7]
          OP-f2 R[i],R[i],R[6]
          OP-f1 R[i],R[i],R[5]
          JRM  FL, END   ;if( FL ) JMP END
          ADD  i, i, #1  ;i=i+1
          JMP  LOOP
END:
    
```

【図 11】



【図12】



【書類名】 要約書

【要約】

【課題】 専用データ処理ユニットVUおよび汎用データ処理ユニットPUを備えたシステムLSIにおいて、さらに柔軟でVUの仕様変更にも対応できるシステムLSIを提供する。

【解決手段】 VU1のデータパス部15に対し、FSM14からV命令により一連の制御信号 $\phi c1$ を供給すると共に、P命令をデコードした制御信号 $\phi c2$ も供給可能とし、セクタ17によりこれらの信号を選択してデータパス部15に供給できるようにする。FSM14によりデータパス部15を高速で制御できると共に、P命令によりプログラムでデータパス部15をFSM14に設定されている処理手順と異なる手順で制御することも可能となり、VU1の処理も柔軟に変更することができるシステムLSIを提供することができる。

【選択図】 図2

特 2000-259816

認定・付加情報

特許出願の番号	特願 2000-259816
受付番号	50001098352
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 8月30日

<認定情報・付加情報>

【提出日】	平成12年 8月29日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 ---[598149242]-----

1. 変更年月日	1998年10月29日
[変更理由]	新規登録
住 所	東京都新宿区西新宿6丁目12番1号
氏 名	パシフィック・デザイン株式会社